

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

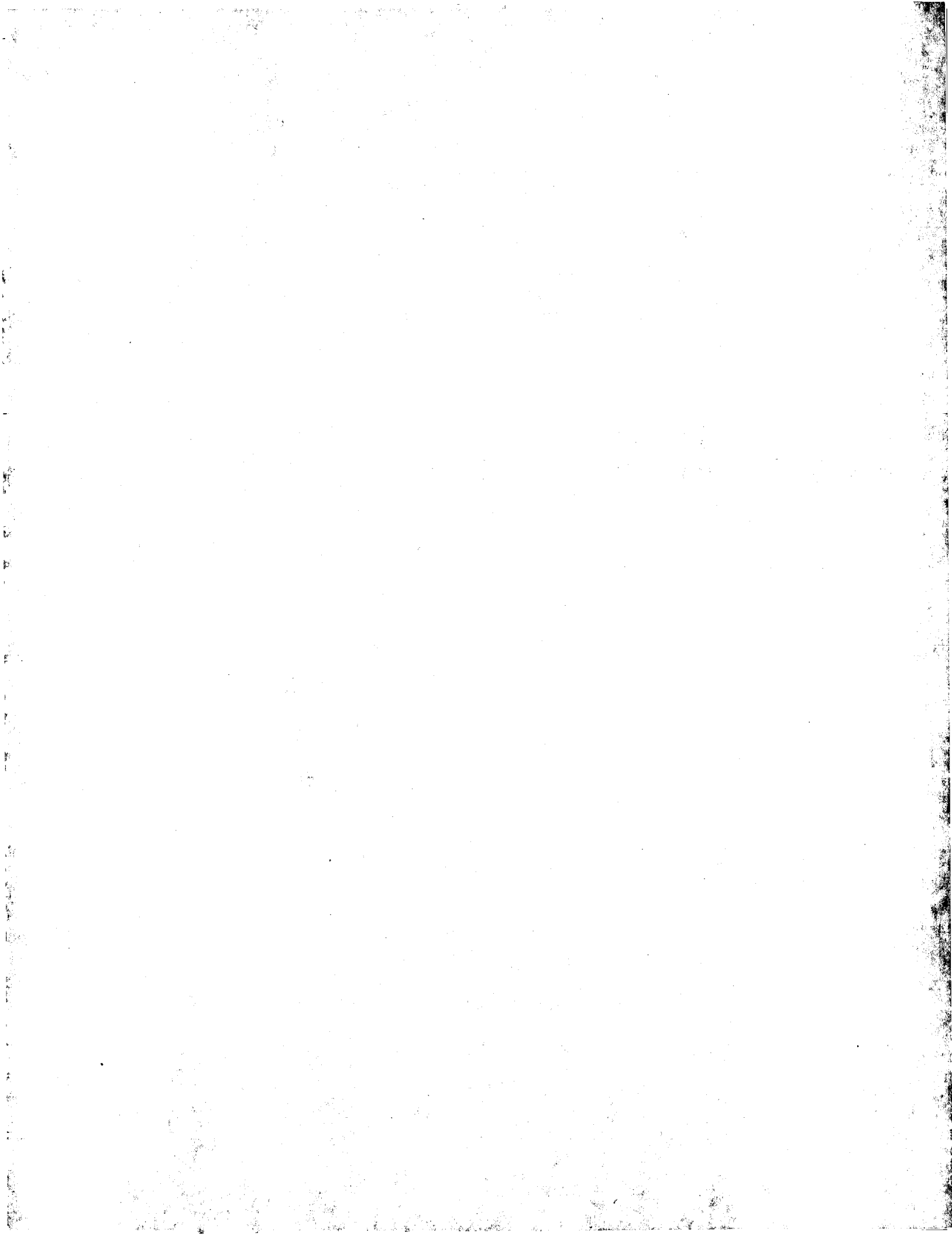
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Problem Image Mailbox.**



JP 354128274 A
OCT 1979-

(54) RESIN-SEALED SEMICONDUCTOR DEVICE

(11) Kokai No. 54-128274 (43) 10.4.1979 (19) JP

(21) Appl. No. 53-35509 (22) 3.29.1978

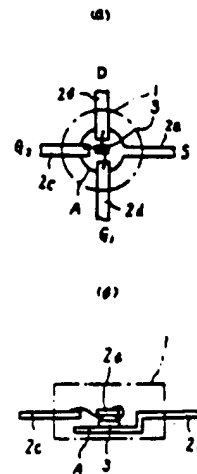
(71) HITACHI SEISAKUSHO K.K. (72) AKIRA MASUDA(1)

(52) JPC: 99(5)C22:99(5)C21

(51) Int. Cl². H01L23/30, H01L23/48

PURPOSE: To reduce the feedback capacity for the device to be used suitably at the high frequency region by forming the tip of the lead for earth into a disk shape with the semiconductor pellet provided at the center of the disk and then covering the pellet and the tips of plural leads of the pellet.

CONSTITUTION: Tip A of lead 2a for source S is formed into a disk, and semiconductor pellet 3 is attached at the center of disk part A. Then lead 2b for drain D, lead 2c for 2nd gate G₂, and lead 2d for 1st gate G₁, are provided in three directions centering on pellet 3, and mold part 1 is formed covering over the tip parts of these leads as well as pellet 3. Here, the contact area is increased between part 1 and lead 2a for the source to be earthed, and the feedback capacity is reduced. Thus, the device can be used suitably at the high frequency region.



257/676

⑨日本国特許庁(JP)

⑩特許出願公開

⑪公開特許公報(A)

昭54-128274

⑫Int. Cl.³

H 01 L 23/30

H 01 L 23/48

識別記号

⑬日本分類

99(5) C 22

99(5) C 21

庁内整理番号

7738-5F

7357-5F

⑭公開 昭和54年(1979)10月4日

発明の数 1

審査請求 未請求

(全 3 頁)

⑮樹脂封止型半導体装置

⑯発明者 平保夫

高崎市西横手町111番地 株式
会社日立製作所高崎工場内

⑰特 願 昭53-35509

⑱出 願 昭53(1978)3月29日

⑲発明者 増田章

高崎市西横手町111番地 株式
会社日立製作所高崎工場内

⑳出 願 人 株式会社日立製作所

東京都千代田区丸の内一丁目5
番1号

㉑代理人 弁理士 薄田利幸

明 細 書

発明の名称 樹脂封止型半導体装置

特許請求の範囲

1. 少なくとも接地端子として使用されるリードを含むリード群と、半導体素子とを有し、この半導体素子とリード先端部とを樹脂材料によつて封止してなる半導体装置において、前記接地端子として使用されるリードと前記樹脂封止体との接触面積を大きくすることによつて容量シールドを固つたことを特徴とする樹脂封止型半導体装置。

発明の詳細な説明

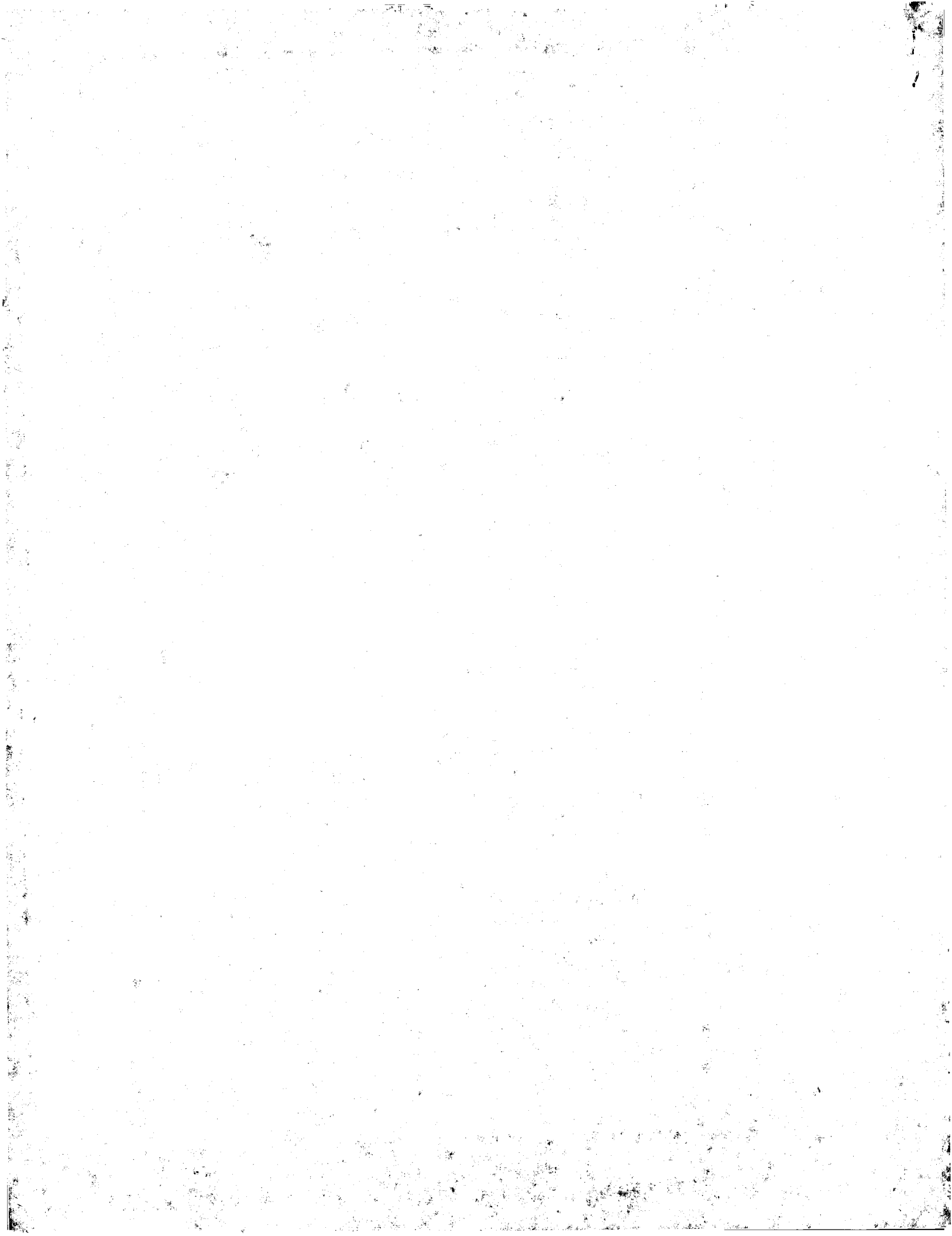
本発明は半導体装置、特に樹脂材料によつて素子部が封止された半導体装置（例えばレジンモールド型半導体装置）に関する。

最近、第1図に示すようなレジンモールドフラットパッケージ型トランジスタが提案されている。このトランジスタは素子部をレジン等の樹脂材料で封止した円筒形状の封止体（モールド）部1と、素子の電極に接続され、かつモールド部1の4方

に突出するリード2とからなる。このトランジスタの内部構造は例えば、第2図(a)(b)、又は第3図(a)(b)のようになっている。

第2図はデュアルゲート型電界効果トランジスタ（以下単にデュアルゲートFETと称す）の内部構造を示すものであり同図(a)は平面図、同図(b)は正面図である。図中領域1がモールド部であり、2a～2dはリード、3は半導体ベレットである。このデュアルゲートFETは高周波特性がよいためテレビジョンにおけるチューナORF（高周波）アンプに用いられる。

第3図はバイポーラトランジスタの内部構造を示すものであり、同図(a)は平面図、同図(b)は正面図である。図中領域1がモールド部、2a～2dがリード、3は半導体ベレットである。ここで、それぞれリード2aはコレクタ(C)、2bはエミッタ(E)、2dはベース(B)端子として使用されるが、残りのリード2cは不使用端子(NC)である。このようなバイポーラトランジスタも高周波用として利用される。



かかる構造のトランジスタは封止材料としてレジンを使用しているため、今迄のキャン封止型トランジスタ(素子部を絶縁材料を介して金属材料で覆った構造のトランジスタ)に比較して低価格化が図れること、さらに、モールド部1の側方から水平に4本のリードを突出させる、いわゆるフラットパッケージ型とすることにより、モールド部底部から下方にリードを突出させる今迄のトランジスタよりも、リード間の距離を長くすることができるため、出力容量の減少化が図れる等の特徴を有する。

ところで、このようなレジンモールド型トランジスタにあつては、導電容量が例えば0.15pFにもなり、キャン封止型のもの(例えば0.01pF)に比し10倍もの容量値を有することが判明した。これは、キャン封止型のはキャン部を接地するような構造としていたため封止部の浮遊容量を小さくできるのに対し、レジンモールド型にあつてはこのような容量シールドを行なっていないため、モールド部での浮遊容量が大きくな

ることが原因と思われる。このため、レジンモールド型のトランジスタを高周波用として使用した場合、導電容量が大きくなり寄生発振等を生じ、UHF帯、VHF帯の周波数領域での使用が不可能になるという問題を有する。

本発明はかかる問題を解決するためになされたものであり、その目的とするところは導電容量を減少せしめることのできる樹脂封止型半導体装置を提供することにある、他の目的は高周波領域での使用に適したレジンモールド型トランジスタを提供することにある。

以下実施例により本発明を具体的に説明する。

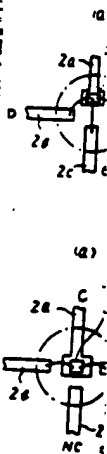
第4図は、本発明をレジンモールド型デュアルゲートPBTに適用した場合の一例を示す構造図であり、同図(a)は平面図、同図(b)は正面図である。同図(a)には、先端部Aが円板状に形成されたソース用リード2aと、このソース用リード2aの先端円板部A中央に取付けられた半導体ベレット3と、この半導体ベレット3を中心として3方に配設されるドレイン用リード2b、第2ゲート(G₂)用の

リード2c、第1ゲート(G₁)用のリード2d、及びこれらのリードの先端部と半導体ベレットとを覆うように形成されたモールド部1(図中斜線で示す)とからなるデュアルゲートPBTが示されている。なお、各リードは半導体ベレット3の電極部と細線(ワイヤ)により接続される。そして、前記ソース用リード2aは同図(b)に示すように先端部がし字状に折曲されており、このし字状先端部Aが他のリード2b~2d先端部直下Kに位置するようにモールド部1の底部に配設されている。なお、このソース用リード2aの他端は使用時には接地されることになる。このようにして接地されるソース用リード2aとモールド部との接触面積を大きくすることにより浮遊容量を小さくすることができる。

第5図は本発明をバイポーラトランジスタに適用した場合の一例を示す構造図であり、同図(a)は平面図、同図(b)は正面図である。同図(a)には、先端部Aが円板状に形成されたリード2c(これはトランジスタの動作に関係のないリードNCであ

る)と、このリード2cの円板状先端部Aを中心として3方に配設されるコレクタ用リード2a、エミッタ用リード2b、ベース用リード2dと、コレクタ用リード2aの先端部直下Kに取付けられた半導体ベレット3、及びこれらを封止するモールド部1(図中斜線部)からなるトランジスタが示されている。そして、前記リード2cは同図(b)に示すように、先端部Aがし字状に折曲されており、このし字状先端部Aが他のリード2a、2b、2dの先端部直下Kに位置するようにモールド部1の底部に配設される。また、コレクタ用リード2aの幅広先端部は前記リード2cの円板状先端部Aの中央上部に位置するように配設されている。また、通常は不使用リード2cの他端は接地される。このようにして接地されるリード2cとモールド部との接触面積を大きくすることにより浮遊容量を小さくすることができる。

以上説明した本発明によれば、デュアルゲートPBTにおいてはソース用端子の先端部の面積を



2cの円板状先端部Aを中心
れるコレクタ(c)用のリード
のリード2b、ベース部用の
クタ用リード2aの先端部
はベレット3、及びこれら
1(図中鎖線部)からなる
ている。そして、前記リー
ドように、先端部Aがし字状
のし字状先端部Aが他のリ
ドの先端部直下に位置するよ
うに配設される。また、コ
レクタ先端部は前記リード
の中央上部に位置するよう
な、通常は不使用リード
とする。このようにして接地さ
る部との接触面積を大き
く量を小さくすることがで
きる。

大きくすることにより、また、パイポーラトランジスタにおいては不使用端子の先端部の面積を大きくすることにより、共にモールド部との接触面積を大とすることができるからモールド部の浮遊容量を減少させることができる。すなわち、リード先端部内板が容量シールドとして機能することとなる。ちなみに、本発明者等の実験によれば、層厚容量は0.012pFとなり、段厚ヤン封止層のものと同じ値に抑えることができるという良好な結果が得られた。したがって、かかるレジンモールド型トランジスタを高周波用として利用することが十分可能になる。

本発明は前記実施例に限定されない。例えば前記実施例では容置シールド部を円板形状としたが、これに限らず、モールド部との接触面積を大きくすることができるような形状であればどのような形状であつてもよい。また、先端部が円板状に形成されたリードは必ずしも使用時において直接接地される必要はなく、接地電位に近いような低い電位に保たれるようにつていればよい。

特種昭54-128274(3)

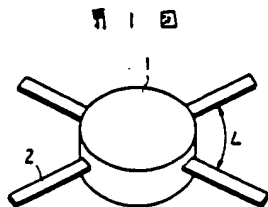
本発明はフラットパッケージ型のものに限定されず、全てのレジストモールド型トランジスタに広く利用できる。

図面の簡単な説明

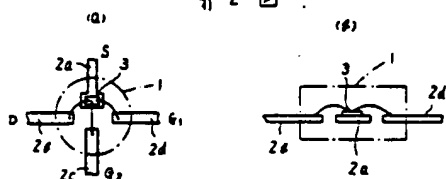
第1図はフラットパッケージ型トランジスタの構造を示す斜視図、第2図はグユアルゲートFETの構造の一例を示すものであり同図(a)は平面図、(b)は正面図、第3図はパイポーラトランジスタの構造の一例を示すものであり同図(a)は平面図、同図(b)は正面図、第4図は本発明をグユアルゲートFETに適用した場合の一例を示すものであり同図(a)は平面図、同図(b)は正面図、第5図は本発明をパイポーラトランジスタに適用した場合の一例を示すものであり同図(a)は平面図、同図(b)は正面図である。

1…セールド部、2、2a～2d…リード、3…
ベレット。

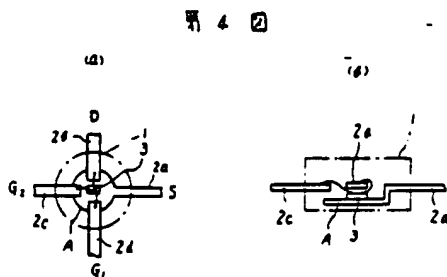
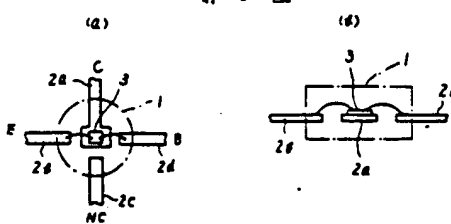
代理人 弁護士 高田利幸



1 2 7



3 2



5 2

